

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0025

Applicant: Ho Jin CHO et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR  
DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

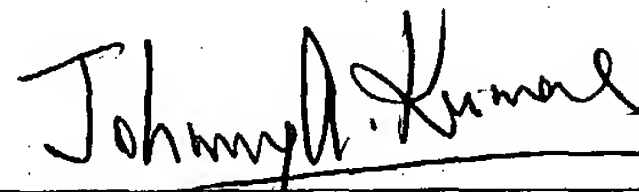
**Korean Patent Application No. 10-2002-0087079 filed December 30, 2002**

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087079  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

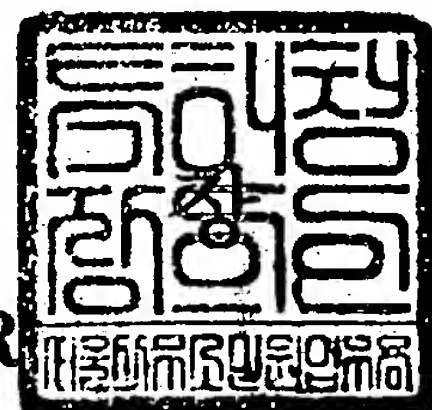
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      22      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0066
【제출일자】	2002.12.30
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 캐패시터 형성방법
【발명의 영문명칭】	A method for forming a capacitor of a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	조호진
【성명의 영문표기】	CHO, Ho Jin
【주민등록번호】	681122-1094636
【우편번호】	463-020
【주소】	경기도 성남시 분당구 이매동 141 아름마을 502동 304호
【국적】	KR
【발명자】	
【성명의 국문표기】	진승우
【성명의 영문표기】	JIN, Seung Woo
【주민등록번호】	670503-1167526
【우편번호】	467-850

1020020087079

출력 일자: 2003/5/23

【주소】	경기도 이천시 대월면 사동리 441-1 현대사원아파트 107-105
【국적】	KR
【발명자】	
【성명의 국문표기】	김봉수
【성명의 영문표기】	KIM, Bong Soo
【주민등록번호】	721101-1037529
【우편번호】	143-222
【주소】	서울특별시 광진구 중곡2동 50-36
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	14 항 557,000 원
【합계】	591,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 반도체 소자의 캐패시터 형성방법에 관한 것으로,  
반도체소자의 정전용량을 증가시킬 수 있도록 유전율을 증가시키기 위하여,  
저장전극 표면에 유전체막을 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막/Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합  
막을 적층한 고유전율 박막을 형성하고 어닐링한 다음 후속공정으로 플레이트전극을 형  
성함으로써 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 캐패시터를 형  
성하여 반도체소자의 고집적화를 가능하게 하는 기술이다.

## 【대표도】

도 3e

## 【명세서】

## 【발명의 명칭】

반도체소자의 캐패시터 형성방법{A method for forming a capacitor of a semiconductor device}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체소자의 캐패시터를 도시한 부분 단면도.

도 2a 내지 도 2c는 종래기술의 다른 실시예에 따라 형성된 캐패시터의 단면도 사진과, 상기 캐패시터의 유전체막 특성 변화를 도시한 그래프도.

도 3a 내지 도 3g는 본 발명의 실시예에 따라 형성된 반도체소자의 캐패시터 형성 방법을 나타낸 단면도.

도 4는 고유전을 박막의 증착두께에 따른 유전체막의 두께를 도시한 그래프도.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

11,21 : 도프트 다결정실리콘막, 저장전극

13,45 : 실리콘 산화막      15 : 탄탈륨산화막

17 : 실리콘산화질화막      23 : 실리콘산화막 또는  $\text{HfSiO}_x$

25 :  $\text{HfO}_2$  막      27,51 : 플레이트전극

31 : 층간절연막      33 : 식각장벽층

35 : 저장전극 콘택플러그      37 : 저장전극용 산화막

39 : 저장전극 영역

41 : 저장전극, 도프트 다결정실리콘막      43 : 유전체막

47 : Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막

49 : Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, 특히 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있도록 고유전을 박막을 이용하여 유전체막을 형성하는 기술에 관한 것이다.
- <17> 반도체소자가 고집적화되어 셀 크기가 감소됨에 따라 저장전극의 표면적에 비례하는 정전용량을 충분히 확보하기가 어려워지고 있다.
- <18> 특히, 단위 셀이 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게 하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.
- <19> 그래서,  $(\epsilon_0 \times \epsilon_r \times A) / T$  (단, 상기  $\epsilon_0$  는 진공유전율, 상기  $\epsilon_r$  은 유전막의 유전율, 상기 A 는 저장전극의 면적 그리고 상기 T 는 유전막의 두께) 로 표시되는 캐패시터의 정전용량 C 를 증가시키기 위하여, 유전상수가 높은 물질을 유전체막으로 사용하거나, 유전체막을 얇게 형성하거나 또는 저장전극의 표면적을 증가시키는 등의 방법을 사용하였다.
- <20> 최근에는, 상기 저장전극의 표면적을 증가시키는 방법으로 콘케이브 캐패시

터의 측벽에 반구형 다결정실리콘을 형성하여 반도체소자의 고집적화를 가능하게 하였으나,  $0.12\ \mu\text{m}$  이하의 디자인룰에 따른 고집적 반도체소자의 MIS 구조에서 유전체막으로 사용하는 탄탈륨산화막은  $28\ \text{\AA}$  이하의 낮은 산화막 환산 두께 (  $T_{ox}$ , Oxide Equivalent Thickness ) 를 확보하기 어려운 문제점이 있다.

- <21> 도 1은 종래기술에 따른 반도체소자의 캐패시터 형성방법을 도시한 부분 단면도이다.
- <22> 도 1을 참조하면, 상기 반도체기판(도시안됨)의 소자분리막(도시안됨), 불순물 접합영역(도시안됨), 워드라인(도시안됨), 비트라인(도시안됨) 및 저장전극용 콘택플러그(도시안됨)가 구비되는 층간절연막(도시안됨)을 형성한다.
- <23> 전체표면상부에 저장전극용 산화막(도시안됨)을 형성한다. 이때, 상기 산화막(도시안됨)은 불순물이 함유된 산화막으로 형성한다.
- <24> 상기 저장전극 마스크(도시안됨)를 이용한 사진식각공정으로 저장전극으로 예정된 영역의 상기 저장전극용 산화막(도시안됨)을 제거하여 상기 저장전극 콘택플러그(도시안됨)가 저부에 노출되는 저장전극 영역(도시안됨)을 정의한다.
- <25> 상기 저장전극 콘택플러그(도시안됨)에 접속되도록 상기 저장전극 영역(도시안됨)을 포함한 전체표면상부에 저장전극용 도전층(도시안됨)을 증착한다. 이때, 상기 저장전극용 도전층은 도프트 다결정실리콘막(11)으로 형성한다.
- <26> 상기 저장전극 영역(도시안됨)을 매립하는 감광막(도시안됨)을 전체표면상부에 형성하고 상기 저장전극용 산화막(도시안됨)이 노출되도록 평탄화 식각한다.



- <27>      상기 감광막(도시안됨)을 현상하여 제거함으로써 상기 저장전극 영역(도시안됨)의 표면에만 상기 저장전극용 도전층(도시안됨)을 남겨 저장전극을 형성한다. 여기서, 상기 저장전극의 표면에 반구형 다결정실리콘막을 형성할 수도 있다.
- <28>      상기 저장전극용 산화막(도시안됨)을 제거하고 상기 저장전극인 도프트 다결정실리콘막(11) 표면에 탄탈륨산화막(15)으로 유전체막을 형성한다. 이때, 상기 탄탈륨산화막(15)과 도프트 다결정실리콘막(11)의 계면에 실리콘산화막(13)이 형성된다.
- <29>      상기 탄탈륨산화막의 결정화 및 산소 결핍을 해결하기 위하여 N2O 또는 O2 어닐링 공정을 실시한다. 이때, 상기 도프트 다결정실리콘막(11)과 탄탈륨산화막(15)의 계면에 실리콘산화질화막(17)이 형성되어 상기 실리콘산화질화막(17)을 포함한 탄탈륨산화막(15)의 산화막 환산 두께가 28 Å 이 넘어 0.12  $\mu\text{m}$  디자인룰에 적합한 캐패시터의 정전용량을 확보하기 어려운 문제점이 있다.
- <30>      따라서, 반도체소자의 고집적화에 충분한 정전용량을 확보하기 위하여 저장전극의 높이를 증가시켜야 하게 되고 그에 따른 소자의 고집적화를 어렵게 하고 그에 따른 수율 저하가 유발된다.
- <31>      도 2a 내지 도 2c는 종래기술의 다른 실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면 사진과, 스퍼터링 시간에 따른 고유전을 산화막의 세기를 도시한 그래프도를 도시한다.

- <32> 도 2a는 저장전극용 도전층인 도프트 다결정실리콘막(21) 상에 고유전율 산화막인 HfO<sub>2</sub> 막(25)을 증착하고 이를 어닐링하여 유전체막을 형성한 다음, 플레이트전극(27)을 형성한 것을 도시한 부분 단면 사진이다.
- <33> 이때, 상기 어닐링 공정은 상기 HfO<sub>2</sub> 막(25)과 도프트 다결정실리콘막(21)의 계면에 저유전율의 실리콘산화막 또는 HfSiO<sub>x</sub> 막(23)이 생성되어 유전체막의 유전율을 저하시킨다.
- <34> 도 2b 및 도 2c는 AES (Auger electron spectroscopy) 깊이 프로파일 (Depth Profile) 자료로 스퍼터링 시간은 박막을 Ar 이온을 이용하여 스퍼터링 식각한 시간을 도시한 것으로서, 시간이 증가함에 따라 박막의 표면에서 벌크 (bulk) 내부로 들어가는 것을 의미합니다. 여기서, 세기 (intensity) 는 AE (Auger electron) 의 세기를 나타내는 것으로 세기가 크다는 것은 함량이 많다는 것을 의미한다.
- <35> 상기한 바와 같이 종래기술에 따른 반도체소자의 캐패시터 형성방법은, 유전체막으로 탄탈륨산화막만을 사용하는 경우 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 없을 정도로 두꺼운 산화막 환산 두께를 유지하게 되어 사용하기 어렵게 하고, HfO<sub>2</sub> 막을 사용하는 경우 어닐링 공정시 저유전율 박막이 생성되어 소자의 유전율이 저하되어 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 없어 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <36> 본 발명은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여, 고유전을 산화막을 유전체막으로 사용하여 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있도록 하는 반도체소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <37> 상기 목적 달성을 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
- <38> 저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,
- <39> 저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,
- <40> 상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,
- <41> 상기 저장전극용 산화막을 제거하는 공정과,
- <42> 상기 저장전극의 표면에 유전체막을 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막의 적층구조로 형성하는 공정과,
- <43> 상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 것과,
- <44> 상기 저장전극용 산화막의 제거 공정후  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 4 \sim 5 : 20 \sim 50$ 의 조성비를 갖는 세정액으로 저장전극 표면을 세정하여 3 ~ 5 Å 두께의 산화막을 형성하는 것과,

- <45> 상기 저장전극용 산화막의 제거 공정후 HF 또는 BOE 용액을 이용하여 저장전극의 표면을 세정하고 RT0 공정을 이용하여 8 ~ 15 Å 두께의 산화막을 형성하는 것과,
- <46> 상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 각각 5 ~ 30 Å 및 10 ~ 100 Å 의 두께로 ALD 방법을 이용하여 형성하는 것과,
- <47> 상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Al 의 소오스로 Al(CH<sub>3</sub>)<sub>3</sub>, Hf 의 소오스로 HfCl<sub>4</sub> 그리고 O 의 소오스로 H<sub>2</sub>O, O<sub>3</sub>, O<sub>2</sub>, N<sub>2</sub>O 를 사용하거나 O<sub>2</sub>, N<sub>2</sub>O Plasma 를 사용하며, Al 펄스 (pulse), N<sub>2</sub> 퍼지 (purge), H<sub>2</sub>O 펄스 및 N<sub>2</sub> 퍼지의 공정을 알루미나 (Al<sub>2</sub>O<sub>3</sub>) 의 1 사이클 (cycle, 이하에서 cy 라 함) 로 사용하고, Hf 펄스 (pulse), N<sub>2</sub> 퍼지 (purge), H<sub>2</sub>O 펄스 및 N<sub>2</sub> 퍼지의 공정을 HfO<sub>2</sub> 의 1 cy 로 사용하는 ALD 방법으로 형성하는 것과,
- <48> 상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 150 ~ 600 °C 온도에서 ALD 또는 CVD 방법으로 형성하는 것과,
- <49> 상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은
- <50> Hf 의 소오스로 HfCl<sub>4</sub>, Hf[N(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub>, HF[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>, Hf[N(CH<sub>3</sub>)(C<sub>2</sub>H<sub>5</sub>)]<sub>4</sub>, Hf[OC(CH<sub>3</sub>)<sub>3</sub>]<sub>4</sub>, Hf(NO<sub>3</sub>)<sub>4</sub> 및 이들로 이루어지는 군에서 선택된 임의의 한가지를 사용하고, 상기 O 의 소오스로 H<sub>2</sub>O, O<sub>2</sub>, N<sub>2</sub>O, O<sub>3</sub> 및 이들의 조합으로 이루어지는 군에서 선택된 한가지를 사용하며, HF 펄스, N<sub>2</sub> 퍼지, O 펄스 및 N<sub>2</sub> 퍼지를 HfO<sub>2</sub> 의 1 cy 로 사용하는 ALD 방법으로 형성하는 것과,
- <51> 상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Hf : Al = 1~9 cy : 1 cy 비율로 증착하는 것과,

- <52>      상기 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Hf : Al = 2 ~ 9 cy : 1 cy 비율로 증착하는 것과,
- <53>      상기 열처리 공정은 500 ~ 900 °C 온도의 산소 또는 질소가스 분위기에서 1 ~ 10 분 동안 실시하는 것과,
- <54>      상기 열처리 공정은 500 ~ 900 °C 온도의 산소, 질소 또는 N<sub>2</sub>O 가스 분위기에서 10 ~ 60 분 동안 퍼니스 (furnace) 에서 실시하는 것과,
- <55>      상기 플레이트전극은 TaN, TiN, WN, W, Pt, 루테튬, 이리듐, 도프드 다결정실리콘 및 이들의 조합으로 이루어진 군에서 선택된 하나의 층을 CVD 방법으로 형성하는 것을 제1특징으로 한다.
- <56>      또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
- <57>      저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,
- <58>      저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,
- <59>      상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,
- <60>      상기 저장전극용 산화막을 제거하는 공정과,
- <61>      상기 저장전극의 표면에 유전체막을 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막으로 형성하는 공정과,

- <62> 상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 것을 제2특징으로 한다.
- <63> 또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
- <64> 저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,
- <65> 저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,
- <66> 상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,
- <67> 상기 저장전극용 산화막을 제거하는 공정과,
- <68> 상기 저장전극의 표면에 유전체막을 알루미늄으로 형성하는 공정과,
- <69> 상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 것을 제3특징으로 한다.
- <70> 한편, 본 발명의 원리는 다음과 같다.
- <71> 종래기술에서 사용하는  $\text{HfO}_2$  막을 유전체막으로 사용하는 경우 유발되는 저유전율 박막으로 인해 저하된 유전율을 증가시키기 위하여,
- <72> 소량의 알루미늄 ( $\text{Al}_2\text{O}_3$ )를 첨가하여 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막을 유전체막으로 사용하여 유전율을 50 퍼센트 정도 향상시키는 것이다.

- <73> 또한, 상기 알루미나를 첨가해도 제거되지 않는 저유전율 박막을 제거하기 위하여 상기 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 도프트 다결정실리콘막의 계면에 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막을 삽입하여,
- <74> 실리콘산화막보다 산화력이 큰 알루미나가 후속 열처리 공정 중에 상기 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 도프트 다결정실리콘막의 계면에 존재하는 실리콘산화막을 알루미늄으로 변경시켜 저유전율층을 제거하도록 하는 것이다.
- <75> 따라서, 도프트 다결정실리콘막 상부에 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막을 적층하고 후속 공정으로 열처리하여 저유전율층을 제거함으로써 0.12  $\mu$ m 이하의 디자인룰을 갖는 반도체소자의 고집적화에 충분한 정전용량을 갖는 캐패시터를 형성할 수 있도록 하는 것이다.
- <76> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.
- <77> 도 3a 내지 도 3f는 본 발명의 실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도이다.
- <78> 도 3a를 참조하면, 상기 반도체기판(도시안됨)의 소자분리막(도시안됨), 불순물 접합영역(도시안됨), 워드라인(도시안됨) 및 비트라인(도시안됨)이 형성된 층간절연막(31)을 형성한다.
- <79> 상기 층간절연막(31) 상부에 식각장벽층(33)인 질화막을 형성한다.
- <80> 저장전극 콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 층간절연막(31)을 식각하여 저장전극 콘택홀을 형성하고 이를 매립하는 도전층으로 저장전극 콘택플러그(35)를 형성한다.

- <81> 도 3b를 참조하면, 전체표면상부에 저장전극용 산화막(37)을 형성한다. 이때, 상기 산화막(37)은 현재 반도체소자의 제조 공정에 사용되는 모든 산화막을 사용할 수 있다.
- <82> 도 3c를 참조하면, 저장전극 마스크를 이용한 사진식각공정으로 상기 저장전극용 산화막(37)을 식각하여 상기 저장전극 콘택플러그(35)를 노출시키는 저장전극 영역(39)을 형성한다. 이때, 상기 저장전극 영역(39)은 저부에 콘택플러그(35)가 구비되고 측벽이 저장전극용 산화막(37)으로 형성된다.
- <83> 도 3d를 참조하면, 상기 저장전극 영역(39)을 포함한 전체표면상부에 저장전극용 도전층인 도프트 다결정실리콘막을 증착한다.
- <84> 전체표면상부에 감광막(도시안됨)을 도포하고 상기 저장전극용 산화막(37)이 노출되도록 평탄화식각한 다음, 상기 감광막을 제거하여 상기 저장전극 영역(39)의 표면에만 남는 저장전극을 상기 도프트 다결정실리콘막(41)으로 형성한다. 이때, 상기 저장전극은 상기 도프트 다결정실리콘막(41) 표면에 반구형 다결정실리콘막(도시안됨)을 형성할 수도 있다.
- <85> 여기서, 상기 도프트 다결정실리콘막(41)과 반구형 다결정실리콘막은 도프트 비정질 실리콘막과 언도프트 비정질 실리콘막을 적층하고 상기 언도프트 비정질실리콘막을 반구형 다결정실리콘막으로 성장시키는 열처리 공정을 실시하고 후속 열처리 공정으로 실시함으로써 반구형 다결정실리콘막이 구비되는 저장전극으로 형성된다.
- <86> 도 3e를 참조하면, 상기 저장전극용 산화막(37)을 주변층과의 식각선택비 차이를 이용하여 제거한다.



- <87>  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 4 \sim 5 : 20 \sim 50$  의 조성비를 갖는 세정액으로 상기 저장 전극 표면을 세정하여  $3 \sim 5 \text{ \AA}$  두께의 화학 산화막을 형성하거나, HF 또는 BOE 용액을 이용하여 저장전극의 표면을 세정하고 RTO 공정을 이용하여  $8 \sim 15 \text{ \AA}$  두께의 산화막을 형성한다.
- <88> 전체표면상부에 유전체막(43)을 형성한다. 이때, 상기 유전체막(43)은 저장전극인 도프트 다결정실리콘막(41) 표면에 Al-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(47)과 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(49)을 순차적으로 적층하고 이를 열처리하여 형성한 것이다. 여기서, 상기 유전체막(43)은 상기 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막으로 이루어진 단층으로 형성할 수도 있다. 상기 Al-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(47)은 순수한 알루미늄으로 대신 형성할 수도 있다.
- <89> 상기 Al-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(47)과 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(49)은 ALD 방법을 이용하여 각각  $5 \sim 30 \text{ \AA}$  및  $10 \sim 100 \text{ \AA}$  두께만큼 형성한다.
- <90> 상기 Al-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(47)과 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막(49)은 Al 소오스로  $\text{Al}(\text{CH}_3)_3$ , Hf 소오스로  $\text{HfCl}_4$ , 그리고 O 소오스로  $\text{H}_2\text{O}$ ,  $\text{O}_3$ ,  $\text{N}_2\text{O}$  및  $\text{O}_2$  플라즈마를 사용하여,
- <91> Al 펄스 (pulse),  $\text{N}_2$  퍼지 (purge),  $\text{H}_2\text{O}$  펄스 및  $\text{N}_2$  퍼지의 공정을 알루미늄 (Al<sub>2</sub>O<sub>3</sub>) 의 1 cy 로 사용하고,
- <92> Hf 펄스 (pulse),  $\text{N}_2$  퍼지 (purge),  $\text{H}_2\text{O}$  펄스 및  $\text{N}_2$  퍼지의 공정을  $\text{HfO}_2$  의 1 cy 로 사용하여,

- <93> 150 ~ 600 °C 온도의 범위에서 ALD 방법으로 형성한다. 상기 ALD 방법은 CVD 방법으로 대신할 수도 있다.
- <94> 또한, 상기 Hf 소오스로  $\text{HfCl}_4$ ,  $\text{Hf}[\text{N}(\text{C}_2\text{H}_5)_2]_4$ ,  $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ,  $\text{Hf}[\text{N}(\text{CH}_3)(\text{C}_2\text{H}_5)]_4$ ,  $\text{Hf}[\text{OC}(\text{CH}_3)_3]_4$ ,  $\text{Hf}(\text{NO}_3)_4$  및 이들로 이루어지는 군에서 선택된 임의의 한가지를 사용하고, 상기 O 의 소오스로  $\text{H}_2\text{O}$ ,  $\text{O}_2$ ,  $\text{N}_2\text{O}$ ,  $\text{O}_3$  등을 사용하여 HF 펄스,  $\text{N}_2$  퍼지, O 펄스 및  $\text{N}_2$  퍼지를  $\text{HfO}_2$  의 1 cy 로 사용할 수도 있다.
- <95> 상기 Al-리치  $\text{HfO}_2$ - $\text{Al}_2\text{O}_3$  혼합막(47)은  $\text{Hf} : \text{Al} = 1 \sim 9 \text{ cy} : 1 \text{ cy}$  비율로 증착한다. 상기 Al-리치  $\text{HfO}_2$ - $\text{Al}_2\text{O}_3$  혼합막(47) 대신 알루미나를 사용할 수도 있다. 상기 Hf-리치  $\text{HfO}_2$ - $\text{Al}_2\text{O}_3$  혼합막(49)은  $\text{Hf} : \text{Al} = 2 \sim 9 \text{ cy} : 1 \text{ cy}$  비율로 증착한다.
- <96> 상기 열처리 공정은 500 ~ 900 °C 온도의 산소 또는 질소가스 분위기에서 1 ~ 10 분 동안 실시하거나,
- <97> 500 ~ 900 °C 온도의 산소, 질소 또는  $\text{N}_2\text{O}$  가스 분위기에서 10 ~ 60 분 동안 퍼니스 (furnace) 에서 실시한다.
- <98> 도 3f를 참조하면, 상기 유전체막(43) 상부에 플레이트전극(51)을 형성한다. 이때, 상기 플레이트전극(51)은 TaN, TiN, WN, W, Pt, 루테튬, 이리듐, 도프드 다결정실리콘 및 이들의 조합으로 이루어진 군에서 선택된 하나의 층으로 형성하되, CVD 방법으로 형성한다.
- <99> 도 4는 본 발명과 종래기술에 따른 박막의 증착두께에 따른 유전체막의 두께를 도시한 그래프도로서, 본 발명에 따른  $\text{HfO}_2$ - $\text{Al}_2\text{O}_3$  혼합막의 유전체막 두께가 얇음을 알 수 있다.

**【발명의 효과】**

<100> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 캐패시터 형성방법은, 저장전극의 표면에 Al-리치 및 Hf-리치  $\text{HfO}_2\text{-Al}_2\text{O}_3$  혼합막을 적층하고 후속 열처리 공정으로 종래보다 낮은 산화막 환산 두께의 고유전율 유전체막을 형성하여 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있도록 함으로써 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 효과를 제공한다.

**【특허청구범위】****【청구항 1】**

저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,

저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,

상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,

상기 저장전극용 산화막을 제거하는 공정과,

상기 저장전극의 표면에 유전체막을 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막의 적층구조로 형성하는 공정과,

상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 저장전극용 산화막의 제거 공정후  $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 4 \sim 5 : 20 \sim 50$ 의 조성비를 갖는 세정액으로 저장전극 표면을 세정하여 3 ~ 5 Å 두께의 산화막을 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

**【청구항 3】**

제 1 항에 있어서,

상기 저장전극용 산화막의 제거 공정후 HF 또는 BOE 용액을 이용하여 저장전극의 표면을 세정하고 RTO 공정을 이용하여 8 ~ 15 Å 두께의 산화막을 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 각각 5 ~ 30 Å 및 10 ~ 100 Å 의 두께로 ALD 방법을 이용하여 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Al 의 소오스로 Al(CH<sub>3</sub>)<sub>3</sub>, Hf 의 소오스로 HfCl<sub>4</sub> 그리고 O 의 소오스로 H<sub>2</sub>O, O<sub>3</sub>, O<sub>2</sub>, N<sub>2</sub>O를 사용하거나 O<sub>2</sub>, N<sub>2</sub>O Plasma 를 사용하며, Al 펄스 (pulse), N<sub>2</sub> 퍼지 (purge), H<sub>2</sub>O 펄스 및 N<sub>2</sub> 퍼지의 공정을 알루미나 (Al<sub>2</sub>O<sub>3</sub>) 의 1 사이클 (cycle) 로 사용하고, Hf 펄스 (pulse), N<sub>2</sub> 퍼지 (purge), H<sub>2</sub>O 펄스 및 N<sub>2</sub> 퍼지의 공정을 HfO<sub>2</sub> 의 1 사이클 (cycle) 로 사용하는 ALD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 150 ~ 600 °C 온도에서 ALD 또는 CVD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막과 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은

Hf 의 소오스로 HfCl<sub>4</sub>, Hf[N(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>]<sub>4</sub>, HF[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>, Hf[N(CH<sub>3</sub>)(C<sub>2</sub>H<sub>5</sub>)]<sub>4</sub>,

Hf[OC(CH<sub>3</sub>)<sub>3</sub>]<sub>4</sub>, Hf(NO<sub>3</sub>)<sub>4</sub> 및 이들로 이루어지는 군에서 선택된 임의의 한가지를 사용하

고, 상기 O 의 소오스로 H<sub>2</sub>O, O<sub>2</sub>, N<sub>2</sub>O, O<sub>3</sub> 및 이들의 조합으로 이루어지는 군에서 선택된 한가지를 사용하며,

HF 펄스, N<sub>2</sub> 퍼지, O 펄스 및 N<sub>2</sub> 퍼지를 HfO<sub>2</sub> 의 1 사이클로

사용하는 ALD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 8】

제 1 항에 있어서,

상기 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Hf : Al = 1~9 cy : 1 cy 비율로 증착하는

것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 9】

제 1 항에 있어서,

상기 Hf-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막은 Hf : Al = 2 ~9 cy : 1 cy 비율로 증착하는

것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 10】

제 1 항에 있어서,

상기 열처리 공정은 500 ~ 900 °C 온도의 산소 또는 질소가스 분위기에서 1 ~ 10 분 동안 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 11】

제 1 항에 있어서,

상기 열처리 공정은 500 ~ 900 °C 온도의 산소, 질소 또는 N<sub>2</sub>O 가스 분위기에서 10 ~ 60 분 동안 퍼니스 (furnace) 에서 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 12】

제 1 항에 있어서,

상기 플레이트전극은 TaN, TiN, WN, W, Pt, 루테튬, 이리듐, 도프트 다결정실리콘 및 이들의 조합으로 이루어진 군에서 선택된 하나의 층을 CVD 방법으로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

## 【청구항 13】

저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,

저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,

상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,

상기 저장전극용 산화막을 제거하는 공정과,

상기 저장전극의 표면에 유전체막을 Al-리치 HfO<sub>2</sub>-Al<sub>2</sub>O<sub>3</sub> 혼합막으로 형성하는 공정과,

상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

【청구항 14】

저장전극 콘택플러그가 구비되는 층간절연막 상부에 저장전극용 산화막을 형성하는 공정과,

저장전극으로 예정된 부분의 상기 저장전극용 산화막을 식각하여 상기 저장전극 콘택플러그를 노출시키는 저장전극 영역을 정의하는 공정과,

상기 저장전극 콘택플러그에 접속되는 저장전극을 형성하는 상기 저장전극 영역에 형성하는 공정과,

상기 저장전극용 산화막을 제거하는 공정과,

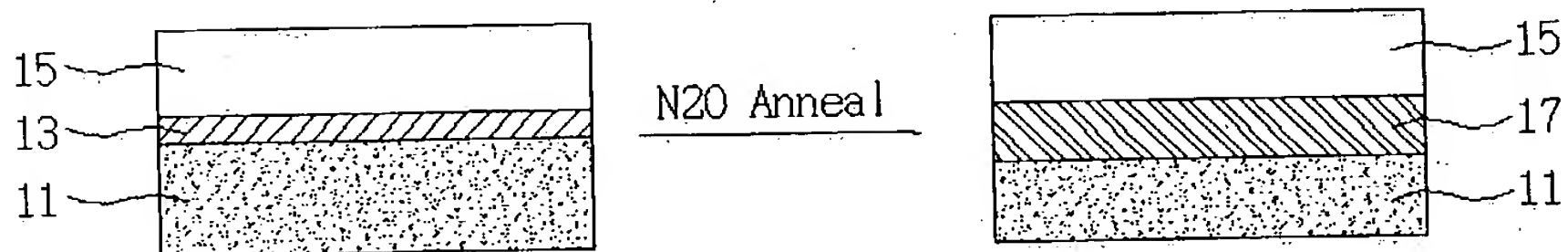
상기 저장전극의 표면에 유전체막을 알루미나로 형성하는 공정과,

상기 유전체막을 열처리하고 전체표면상부에 플레이트전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

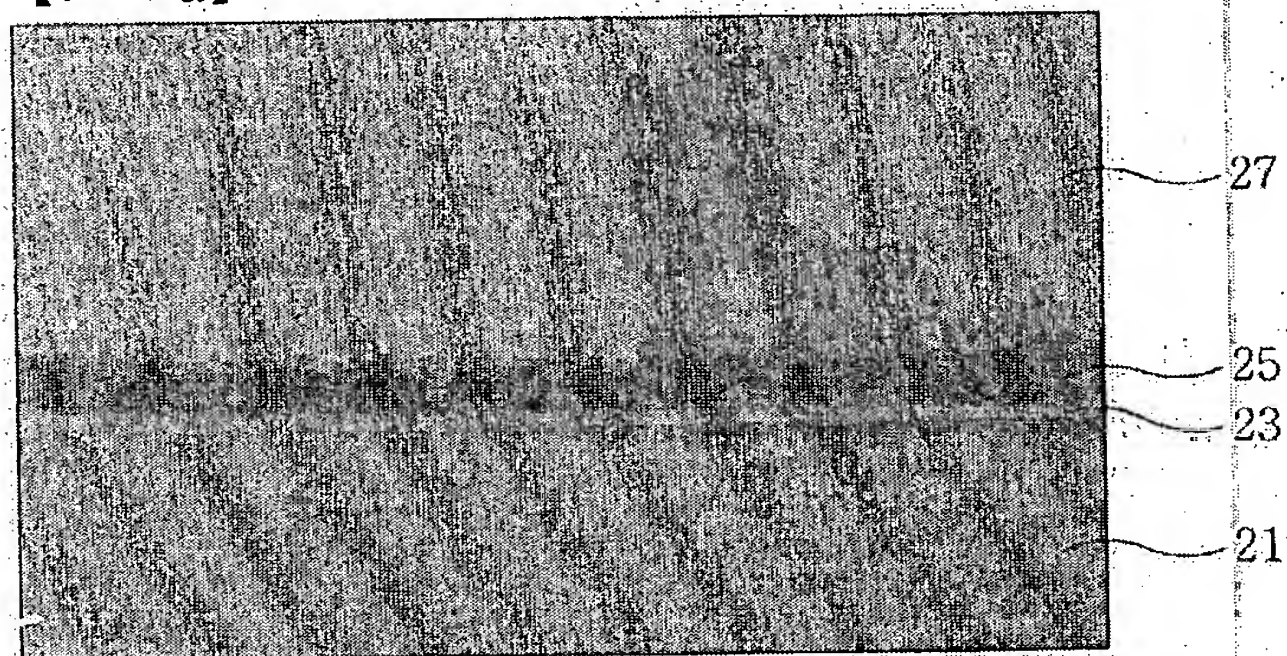


【도면】

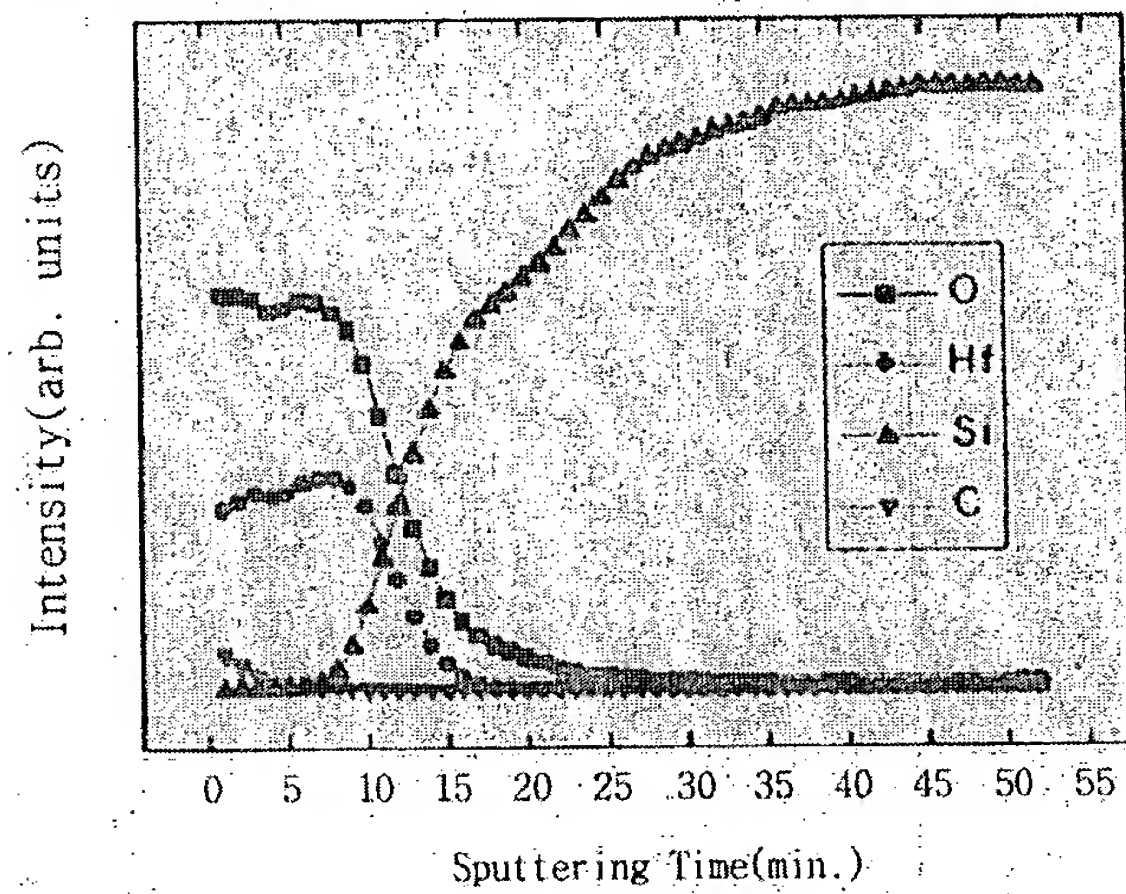
【도 1】



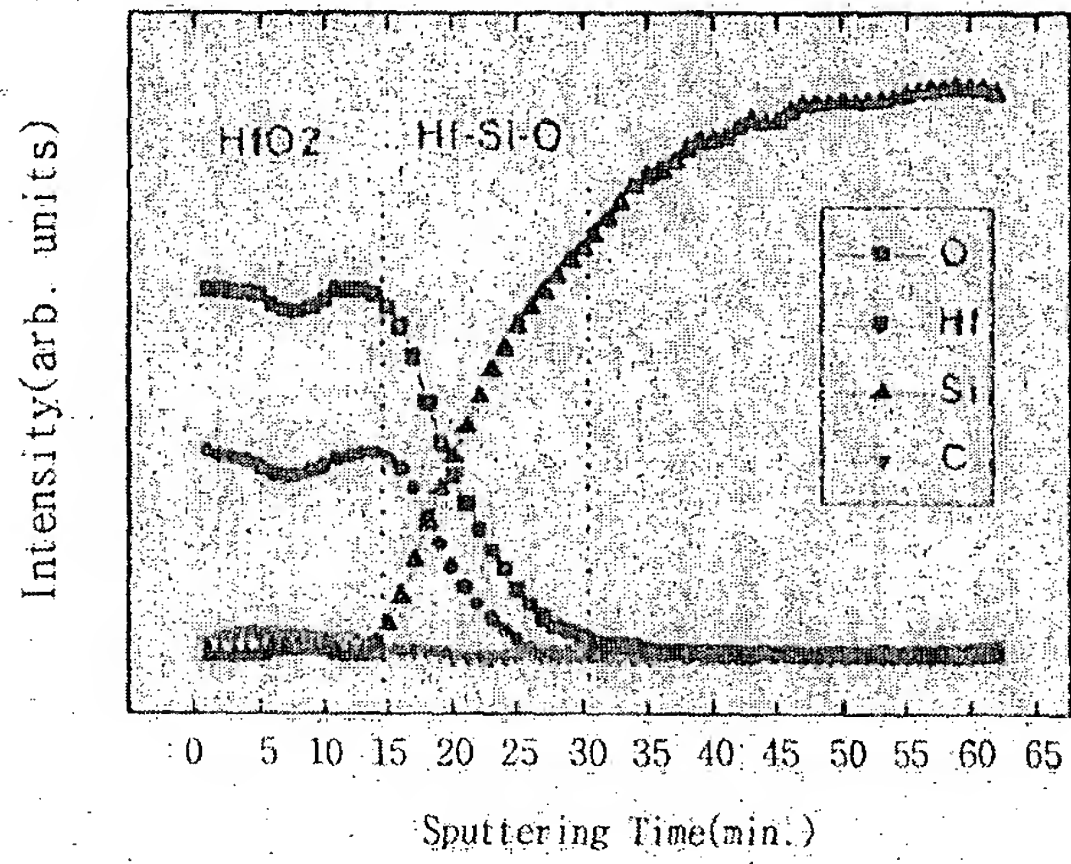
【도 2a】



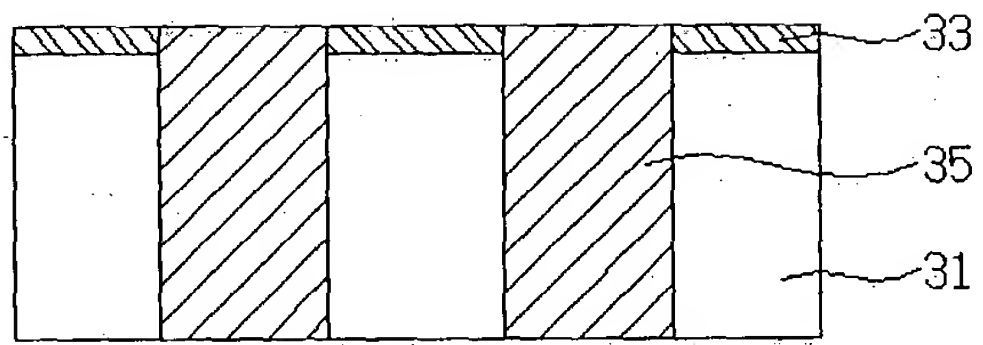
【도 2b】



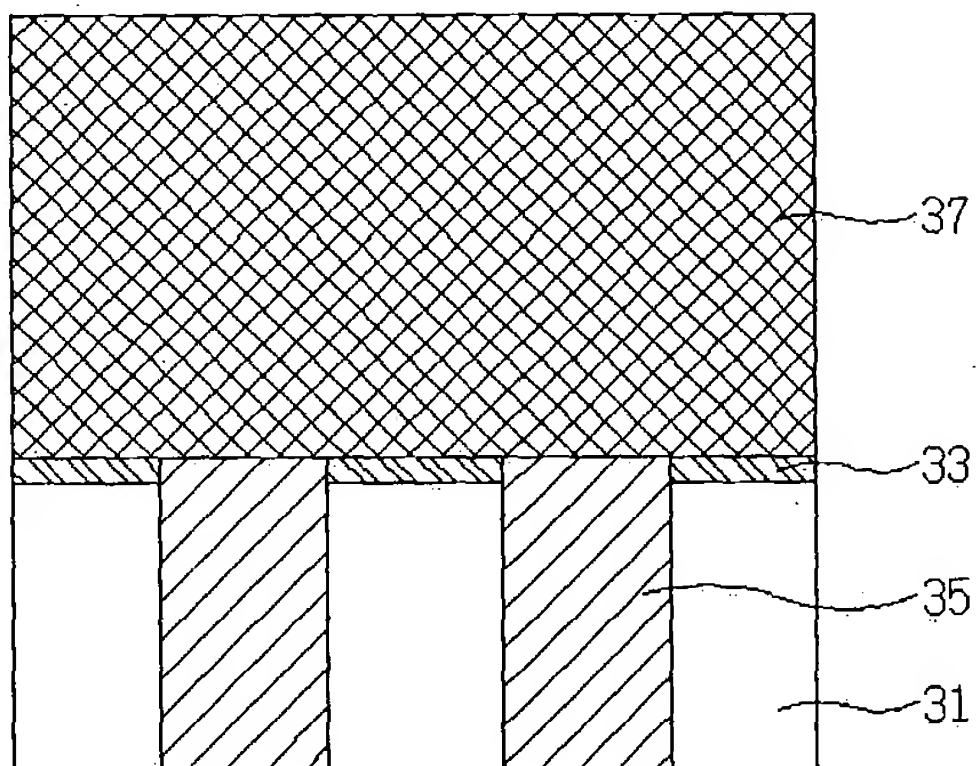
【도 2c】



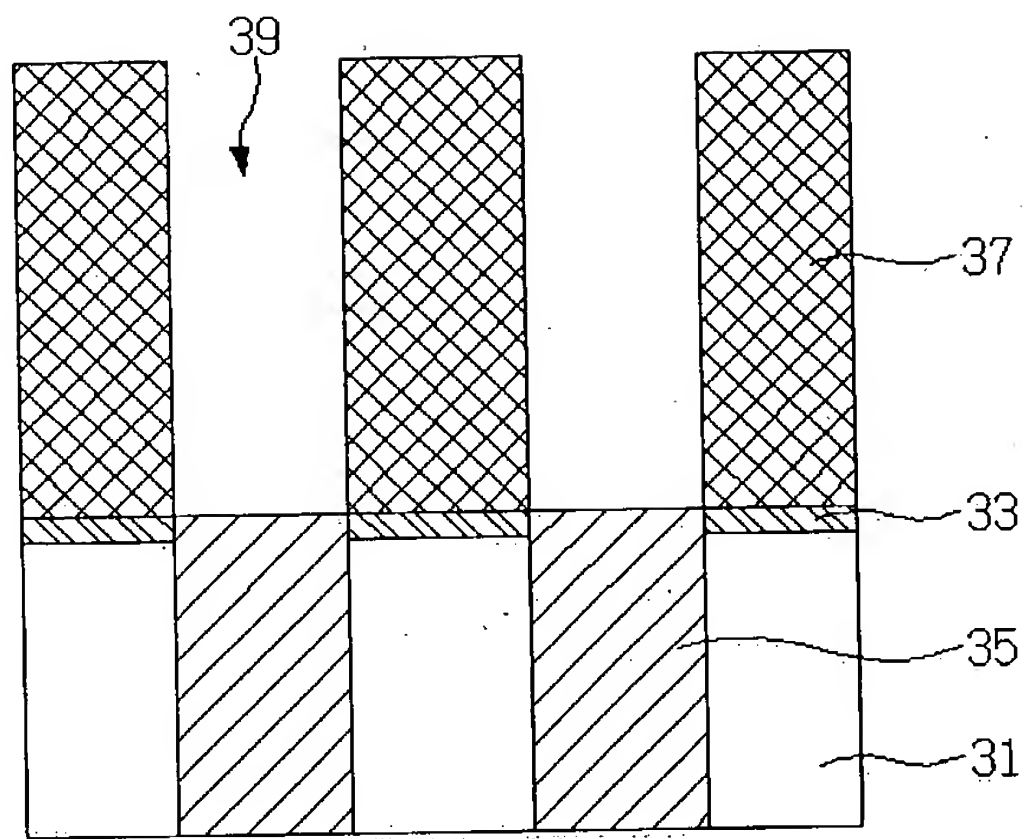
【도 3a】



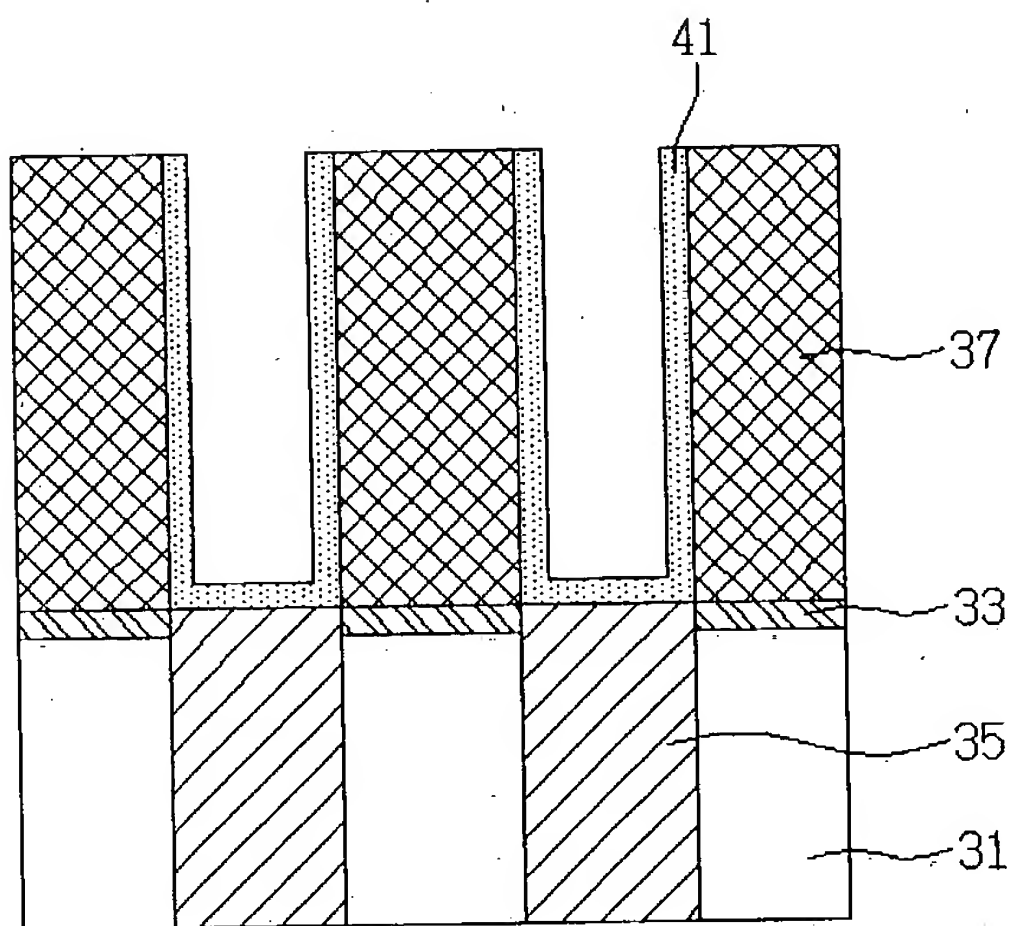
【도 3b】



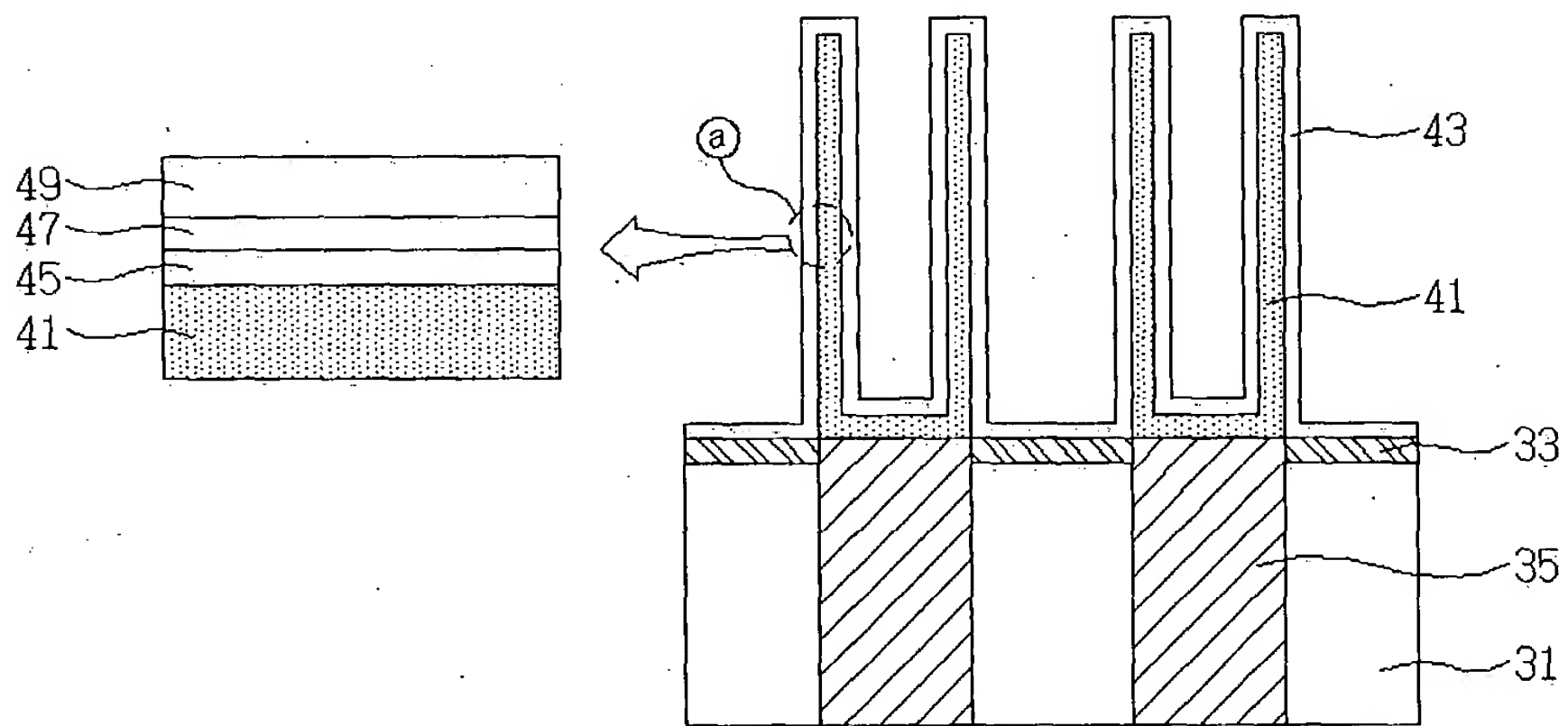
【도 3c】



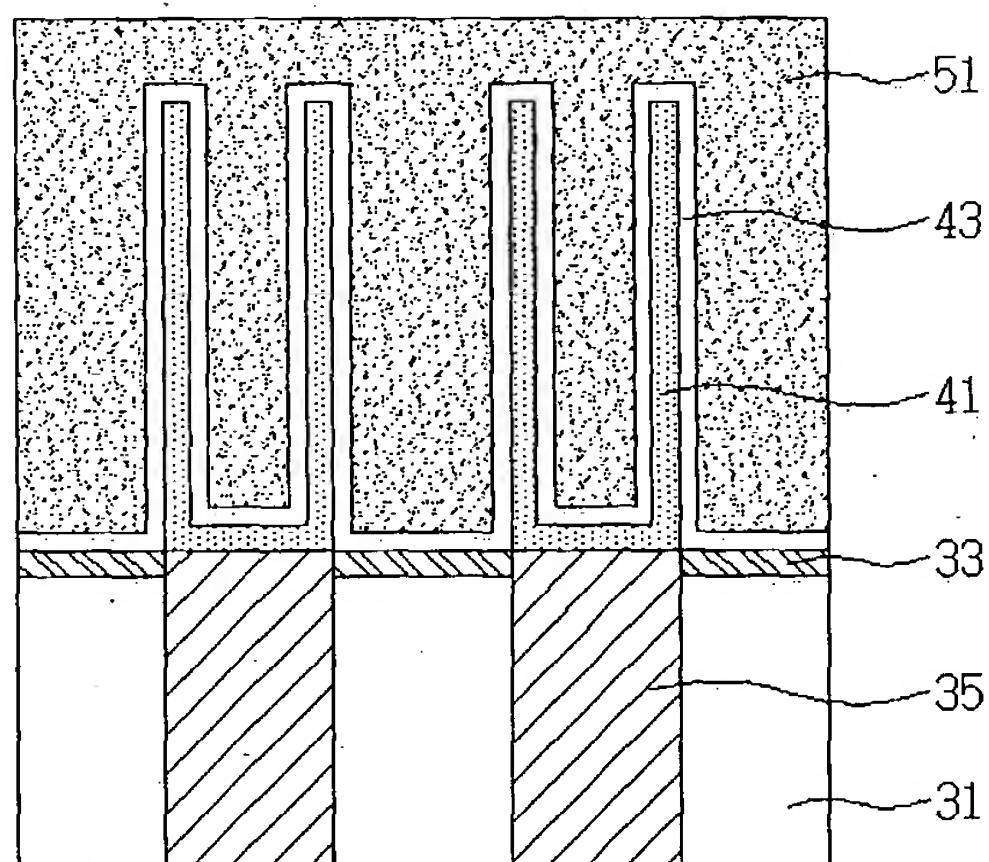
【도 3d】



【도 3e】



【도 3f】



【도 4】

